

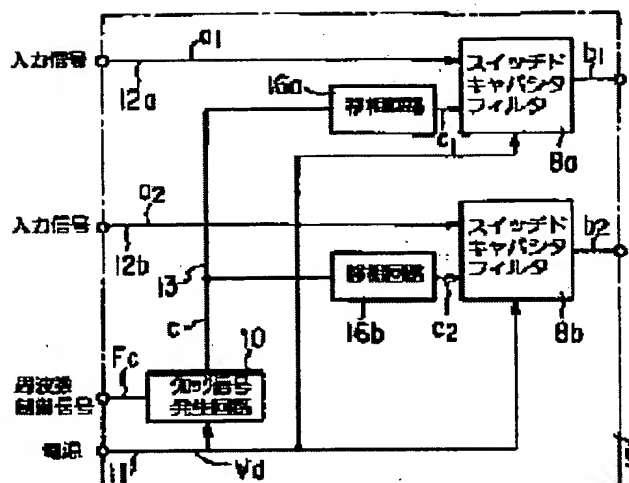
**SWITCHED CAPACITOR FILTER**

**Patent number:** JP9199994  
**Publication date:** 1997-07-31  
**Inventor:** YAMANE MASANORI  
**Applicant:** TOSHIBA CORP  
**Classification:**  
 - international: H03H19/00  
 - european:  
**Application number:** JP19960003041 19960111  
**Priority number(s):**

**Abstract of JP9199994**

**PROBLEM TO BE SOLVED:** To improve the S/N of each output signal from each switched capacitor filter(SCF) even when plural SCFs are assembled on a same board.

**SOLUTION:** The filter is provided with plural SCFs 8a, 8b with the same filter characteristic receiving input signals a1, a2 via input signal lines 12a, 12b, a clock signal generating circuit 10 giving a clock signal of the same frequency to specify the filter characteristic of each SCF, a power supply path 11 to supply a drive power supply to the clock signal generating circuit and each SCF, and a board 9 on which each SCF, the clock signal generating circuit and the input signal paths and the power supply path are mounted. In this case, a phase between the clock signals is shifted by a prescribed time or over depending on leading and trailing characteristic of the clock signal.



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199994

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.<sup>8</sup>

H 0 3 H 19/00

識別記号

庁内整理番号

9274-5 J

F I

H 0 3 H 19/00

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願平8-3041

(22) 出願日 平成8年(1996)1月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山根 政憲

東京都府中市東芝町1番地 株式会社東芝

府中工場内

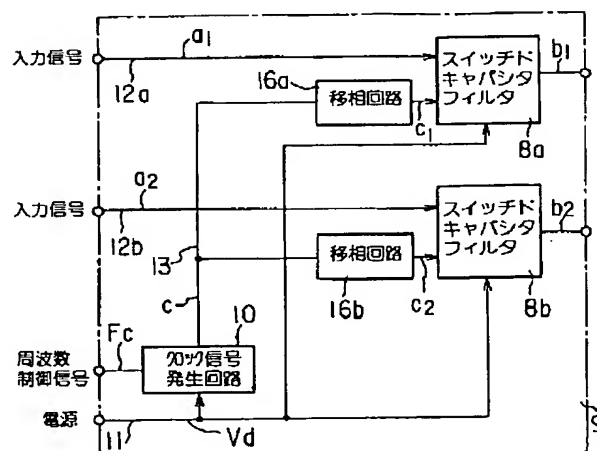
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 スイッチドキャパシタフィルタ装置

(57) 【要約】

【課題】 たとえ複数のスイッチドキャパシタフィルタ (SCF) 8a, 8bが同一基板9上に組込まれていたとしても、各SCFからの各出力信号b1, b2のS/Nを向上させる。

【解決手段】 各入力信号a1, a2が入力信号路12a, 12bを介して入力される同一フィルタ特性を有する複数のSCF 8a, 8bと、この各SCFに対してフィルタ特性を規定する同一周波数のクロック信号を送出するクロック信号発生回路10と、クロック信号発生回路及び各SCFに駆動電源を供給するための電源供給路11と、各SCF、クロック信号発生回路、各入力信号路及び電源供給路が実装される基板9をと備えたスイッチドキャパシタフィルタ装置において、各SCFに供給する各クロック信号相互間の位相をクロック信号の立上り・立下り特性で定まる所定要時間 $\Delta \tau$ 以上ずらせる。



## 【特許請求の範囲】

【請求項 1】 それぞれ入力信号路を介して各入力信号が入力される同一フィルタ特性を有する複数のスイッチドキャパシタフィルタと、

この各スイッチドキャパシタフィルタに対して前記フィルタ特性を規定する同一周波数のクロック信号を送出するクロック信号発生回路と、

前記クロック信号発生回路及び各スイッチドキャパシタフィルタに駆動電源を供給するための電源供給路と、前記各スイッチドキャパシタフィルタ、クロック信号発生回路、各入力信号路及び電源供給路が実装される基板とを備えたスイッチドキャパシタフィルタ装置において、

前記各スイッチドキャパシタフィルタに供給する各クロック信号相互間の位相を前記クロック信号の立上り・立下り特性で定まる所定時間以上ずらすことを特徴とするスイッチドキャパシタフィルタ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は同一フィルタ特性を有する複数のスイッチドキャパシタフィルタを同一基板上に実装したスイッチドキャパシタフィルタ装置に関する。

## 【0002】

【従来の技術】 種々の周波数成分を含むアナログの入力信号から所望の周波数成分を有した信号（出力信号）を抽出するフィルタは、図 7 に示すように、コイル 1 やコンデンサ 2 等の受動素子のみで構成されたパッシブフィルタと、図 8 に示すように、コンデンサ 2 や抵抗 3 等の受動素子の他にリニア IC（増幅器） 4 等の能動素子を含むアクティブフィルタとが一般に知られている。

【0003】 さらに、近年、図 9 に示すように、複数のコンデンサ 5 a ~ 5 d とリニア IC（増幅器） 6 と複数のスイッチ回路 7 a, 7 b とで構成されるスイッチドキャパシタフィルタ 8 が実用化されている。

【0004】 このような構成のスイッチドキャパシタフィルタ（Switched Capacitor Filter 以下 SCF と略記する） 8 においては、SCF 8 内に組込まれた各スイッチ回路 7 a, 7 b を所定周波数  $f$  を有したクロック信号  $c$  でオン・オフ制御する。この SCF 8 のフィルタ特性はクロック信号  $c$  の周波数  $f$  でほぼ決まる。したがって、アナログの入力信号  $a$  に含まれる各周波数成分は前記クロック信号  $c$  の周波数  $f$  で定まるフィルタ特性で通過または遮断される。その結果、リニア IC 6 から出力される出力信号  $b$  には、前記フィルタ特性で定まる周波数成分のみが含まれる。

【0005】 前記クロック信号  $c$  の周波数  $f$  を高くすると、この周波数  $f$  に比例して前記フィルタ特性における通過周波数帯域が変化する。したがって、クロック信号  $c$  の周波数  $f$  を変化させることによって、SCF 8 の通

過周波数帯域等のフィルタ特性を簡単に変更できる。

【0006】 また、前記リニア IC 6 及び各スイッチ回路 7 a, 7 b は外部から直流の電源電圧  $V_d$  が供給されている。図 10 は上述した構成を有する 2 つの SCF 8 a, 8 b を一つの基板 9 上に実装したスイッチドキャパシタフィルタ装置を示す模式図である。各 SCF 8 a, 8 b は同一構成であり、かつ 1 台のクロック信号発生回路 10 から共通に信号配線 13 を介してクロック信号  $c$  が印加される。また、外部の共通電源から電源配線 11 を介して直流の電源電圧  $V_d$  が供給されている。

【0007】 各 SCF 8 a, 8 b にはそれぞれ信号配線 12 a, 12 b を介して個別に各アナログの入力信号  $a_1$ ,  $a_2$  が入力され、さらに、各 SCF 8 a, 8 b から個別にアナログの出力信号  $b_1$ ,  $b_2$  が出力される。

【0008】 このように、複数の SCF 8 a, 8 b を一つの基板 9 に実装したスイッチドキャパシタフィルタ装置においては、複数の信号を同時に同一フィルタ特性で信号処理できるので、一般のアナログの電子回路に多用されている。

【0009】 このようなスイッチドキャパシタフィルタ装置に組込まれる各 SCF 8 a, 8 b の各スイッチ回路 7 a, 7 b の動作タイミングを図 11 に示す。すなわち、各スイッチ回路 7 a, 7 b 内に、電源電圧  $V_d$  を分圧して得られる比較電圧  $V_c$  が形成される。そして、クロック信号  $c$  の立上り時に、クロック信号  $c$  の信号値が前記比較電圧  $V_c$  まで上昇したタイミングでスイッチ回路 7 a, 7 b が開放又は閉成される。また、クロック信号  $c$  の立下り時に、クロック信号  $c$  の信号値が前記比較電圧  $V_c$  まで低下したタイミングでスイッチ回路 7 a, 7 b が閉成又は開放される。

## 【0010】

【発明が解決しようとする課題】 しかしながら、図 10 に示す複数の SCF 8 a, 8 b を一つの基板 9 上に実装したスイッチドキャパシタフィルタ装置においても、まだ解消すべき次のような課題があった。

【0011】 スwitchドキャパシタフィルタ装置のクロック信号発生回路 10、各スイッチ回路 7 a, 7 b 及びリニア IC 6 に電源電圧  $V_d$  を供給する電源の電源容量にも一定の限界があるので、各回路 7 a, 7 b, 6 が大きく動作するタイミングで消費電力が増大して、図 12 に示すように、電源電圧  $V_d$  の波形に一時的に値が低下する凹部 14 a からなる雑音が発生する。前述したように、比較電圧  $V_c$  は電源電圧  $V_d$  を分圧して得られるので、各比較電圧  $V_c$  の波形にも同一タイミングで凹部 14 b からなる雑音が発生する。

【0012】 図 12 に示すように、この凹部 14 a の雑音が発生している期間内にクロック信号  $c$  が立上ると、各スイッチ回路 7 a, 7 b の動作タイミングが凹部 14 b の雑音が発生していない期間に比較して、微小時間  $\Delta t$  だけ前方へ変動する。

【0013】特に、一つのクロック信号  $c$  で複数の SCF 8a, 8b を駆動させる場合は、各 SCF 8a, 8b の各スイッチ回路 7a, 7b 及びリニア IC6 がほぼ同一タイミングで大きく動作するので、前記各比較電圧  $V_c$  により大きな凹部 14b の雑音が発生して、各スイッチ回路 7a, 7b の動作タイミングがより大きく変動する。

【0014】この動作タイミングの変動が各 SCF 8a, 8b の出力信号  $b_1$ ,  $b_2$  上に雑音成分として現れ、結果的に出力信号  $b_1$ ,  $b_2$  の  $S/N$  が低下する。また、各 SCF 8a, 8b に組込まれている各スイッチ回路 7a, 7b の各比較電圧  $V_{c1}$ ,  $V_{c2}$  は、たとえ電源電圧  $V_d$  が同一値であったとしても、図 13 に示すように、完全に同一値ではない。

【0015】したがって、図 14 に示すように、互いに異なる値の比較電圧  $V_{c1}$ ,  $V_{c2}$  に対して、前述した電源電圧  $V_d$  の波形における凹部 14b の雑音が重畳するので、各スイッチ回路 7a, 7b の動作タイミングの変動がより一層増大する。

【0016】さらに、スイッチドキャパシタフィルタ装置を小型に形成するために基板 9 上に印刷配線された各信号配線 12a, 12b, 13 は互いに接近しているので、信号相互間に微細なクロストーク現象が発生する。したがって、図 15 に示すように、入力信号  $a_1$ ,  $a_2$  の信号波形にクロック信号  $c$  からのクロストークに起因する凸部 15a や凹部 15b 等の雑音が発生する。

【0017】そして、この凸部 15a や凹部 15b 等の雑音発生期間内にクロック信号  $c$  が立上ったり、立下がった場合は、この雑音発生期間内で各スイッチ回路 7a, 7b が動作するので、正しい入力信号  $a_1$ ,  $a_2$  の信号値でなくて、凸部 15a や凹部 15b の雑音を含む正しくない信号値を取込むことになり、誤った値の出力信号  $b_1$ ,  $b_2$  が出力される。

【0018】このように、各リニア IC6 や各スイッチ回路 7a, 7b の動作に応じて電源電圧  $V_d$  や比較電圧  $V_{c1}$ ,  $V_{c2}$  が変動したり、各入力信号  $a_1$ ,  $a_2$  がクロック信号  $c$  からのクロストークに起因して値が変動するので、各出力信号  $b_1$ ,  $b_2$  の  $S/N$  が低下したり、出力信号値の信頼性が低下する。

【0019】本発明は、このような事情に鑑みてなされたものであり、各 SCF のスイッチ回路の各比較電圧や各入力信号の各波形に現れる凸部や凹部等の雑音の発生位置を互いにずらすことによって、たとえ複数の SCF が組込まれ、かつ同一周波数のクロック信号を印加したとしても各出力信号の  $S/N$  を大幅に向上でき、ダイナミックレンジを拡大でき、かつ常に正しい信号値が得られる安定したスイッチドキャパシタフィルタ装置を提供することを目的とする。

【0020】

【課題を解決するための手段】上記課題を解消するため

に本発明は、それぞれ入力信号路を介して各入力信号が入力される同一フィルタ特性を有する複数のスイッチドキャパシタフィルタと、この各スイッチドキャパシタフィルタに対してフィルタ特性を規定する同一周波数のクロック信号を送出するクロック信号発生回路と、クロック信号発生回路及び各スイッチドキャパシタフィルタに駆動電源を供給するための電源供給路と、各スイッチドキャパシタフィルタ、クロック信号発生回路、各入力信号路及び電源供給路が実装される基板とを備えたスイッチドキャパシタフィルタ装置において、各スイッチドキャパシタフィルタに供給する各クロック信号相互間の位相をクロック信号の立上り・立下り特性で定まる所定時間以上ずらしている。

【0021】このように構成されたスイッチドキャパシタフィルタ装置においては、クロック信号発生回路から出力されて各 SCF の各回路へ供給される各クロック信号相互間の位相はクロック信号の立上り・立下り特性で定まる所定時間以上ずれている。

【0022】したがって、各 SCF の各回路が大きく動作するタイミングが互いにクロック信号の立上り・立下り特性で定まる所定時間以上ずれるので、消費電力の最大値の発生時間が各 SCF 毎に分散され、電源電圧の波形における凹部等の雑音のレベルが小さくなる。したがって、電源電圧の変動量が小さくなり、比較電圧の変動量も小さくなるので、SCF を構成する各回路の動作タイミングが大きく変動することはない。

【0023】また、各 SCF の各回路が自己の SCF に対するクロック信号の立上がり又は立下りで動作する期間は、他の SCF の各回路は大きく動作しないので、他の SCF の各回路の動作に起因して自己の回路の動作タイミングを規定する比較電圧が変動することはないので、動作タイミングが大きく変動することはない。

【0024】さらに、各入力信号に各クロック信号の立上り・立下りに起因するクロストークによる凹部又は凸部等からなる雑音が見れるが、各回路が自己の SCF に対するクロック信号の立上り又は立下りで動作する期間内には、自己の入力信号に他の SCF へ印加されるクロック信号に起因するクロストークによる凹部又は凸部等からなる雑音が見れないので、自己の入力信号の信号値を正しく読取ることができる。よって、各 SCF から正しい信号値を有する出力信号が得られる。

【0025】

【発明の実施の形態】以下本発明の一実施形態を図面を用いて説明する。図 1 は実施形態のスイッチドキャパシタフィルタ装置の概略構成を示すブロック図である。図 10 に示す従来のスイッチドキャパシタフィルタ装置と同一部分には同一符号が付してある。したがって、重複する部分の詳細説明を省略する。

【0026】この実施形態においては、一つの基板 9 上に 2 つの SCF (スイッチドキャパシタフィルタ) 8

a, 8bと、1つのクロック信号発生回路19と、2つの移相回路16a, 16bとが実装されている。

【0027】各SCF8a, 8bは、同一構成であり、前述した図9に示す構成を有する。そして、各SCF8a, 8bには、それぞれ信号配線12a, 12bを介して個別に各アナログの入力信号a1, a2が入力され、さらに、各SCF8a, 8bから個別にアナログの出力信号b1, b2が出力される。また、各SCF8a, 8bは外部の共通電源から電源配線11を介して直流の電源電圧Vdが供給されている。クロック信号発生回路10から出力された周波数fのクロック信号cは信号配線13を介して各移相回路16a, 16bへ入力される。

【0028】このクロック信号発生回路10のクロック信号cの周波数fは外部から入力される周波数制御信号Fcにて任意の値に変更可能である。一方の移相回路16aは、例えば図2に示すように、信号路に対して直列接続された抵抗17aと並列接続されたコンデンサ18aとで構成された一種の遅延回路で構成されており、図3に示すように、入力したクロック信号cを抵抗17aとコンデンサ18aとで定まる時定数に対応する時間 $\tau_1$ だけ遅延させて、新たなクロック信号c1として一方のSCF8aへ印加する。

【0029】他方の移相回路16bも、抵抗17bとコンデンサ18bとで構成され、入力したクロック信号cを抵抗17bとコンデンサ18bとで定まる時定数に対応する時間 $\tau_2$ だけ遅延させて、新たなクロック信号c2として他方のSCF8bへ印加する。

【0030】そして、一方の遅延時間 $\tau_1$ と他方の遅延時間 $\tau_2$ との時間差で示される各クロック信号c1, c2相互間のずれ時間 $\Delta\tau$ は、クロック信号cの立上り・立下り特性に基づいて設定されている。例えば、クロック信号cの立上り・立下りが急峻な場合は、電源電圧Vdの波形や各入力信号a1, a2に電圧降下やクロストークを与える時間が短いので、ずれ時間 $\Delta\tau$ は短く設定されている。逆に、クロック信号cの上がり・立下りが緩やかな場合は、電源電圧Vdの波形や各入力信号a1, a2に電圧降下やクロストークを与える時間が長いので、ずれ時間 $\Delta\tau$ は長く設定されている。

【0031】したがって、各SCF8a, 8b内に組込まれた各スイッチ回路7a, 7bで電源電圧Vdを分圧して生成される各比較電圧Vc1, Vc2が等しい場合は、図3に示すように、一方のSCF8aの動作タイミングと他方のSCF8bの動作タイミングとの間には前記一定のずれ時間 $\Delta\tau$ が存在する。

【0032】このように構成されたスイッチドキャパシタフィルタ装置の動作を図4に示す信号波形図を用いて説明する。クロック信号発生回路10から出力されたクロック信号cは各移相回路16a, 16bでそれぞれ $\tau_1$ ,  $\tau_2$ 時間だけ遅延されたクロック信号c1, c2として各SCF8a, 8bへ入力される。各SCF8a,

8bの各スイッチ回路は電源電圧Vdを分圧した各比較電圧Vc1, Vc2を生成する。そして、各クロック信号c1, c2の各信号値が対応する各比較電圧Vc1, Vc2に達した時点でスイッチング動作を行う。この各SCF8a, 8bにおける各スイッチ回路の各動作タイミングt1, t2を図4の最下段に示す。

【0033】各SCF8a, 8bは大きな動作時に大きな電力消費を伴うので、このSCF8a, 8bの各動作タイミングt1, t2に同期して電源電圧Vdの波形に凹部19a, 19bからなる各雑音が発生する。その結果、各SCF8a, 8bで形成される各比較電圧Vc1, Vc2の波形にも同一タイミングt1, t2で凹部20a, 20bからなる各雑音が発生する。

【0034】しかし、電源電圧Vdの波形に現れる各凹部19a, 19bからなる各雑音はそれぞれ一つのSCFの電力消費に対応するので、図10に示す従来装置のように全てのSCF8a, 8bが同一タイミングで動作する場合に比較して、各凹部19a, 19bの発生原因となる各電力消費量はごく僅かである。よって、各凹部19a, 19bからなる各雑音のレベルは非常に小さい。

【0035】したがって、各比較電圧Vc1, Vc2の波形に現れる各凹部20a, 20bからなる各雑音レベルも非常に小さい。その結果、たとえ各比較電圧Vc1, Vc2の波形における各凹部20a, 20bからなる雑音発生期間に各クロック信号c1, c2が立上り・立下がった場合であっても、各SCF8a, 8bの各動作タイミングt1, t2の変動は非常に少ない。

【0036】さらに、各SCF8a, 8bの各回路が自己に対するクロック信号c1, c2の立上がり又は立下りで動作する期間は、他のSCF8b, 8aの各回路は大きく動作しないので、他のSCF8b, 8aの各回路の動作に起因して自己の回路の動作タイミングt1, t2を規定する比較電圧Vc1, Vc2が変動することはないので、自己の動作タイミングt1, t2が大きく変動することはない。

【0037】よって、各SCF8a, 8bの出力信号b1, b2上に現れるこの動作タイミングt1, t2変動に起因する雑音成分は非常に小さくなり、各出力信号b1, b2のS/Nが大幅に向上する。その結果、各出力信号b1, b2のダイナミックレンジも拡大する。

【0038】次に、各入力信号a1, a2の波形に現れるクロストークに起因する雑音について説明する。各SCF8a, 8bへ入力される各入力信号a1, a2の波形には、図4に示すように、互いに相手側のSCF8b, 8aへ入力されるクロック信号c2, c1からのクロストークに起因して、各クロック信号c2, c1の立上り・立下りに同期する凹部又は凸部21a, 21bからなる雑音が見られる。

【0039】しかし、図4に示すように、入力信号a1

上に凹部又は凸部21aの現れるタイミングはSCF8bの動作タイミング $t_2$ であり、逆に入力信号 $a_2$ 上に凹部又は凸部21bの現れるタイミングはSCF8aの動作タイミング $t_1$ である。

【0040】したがって、一方のSCF8aは自己の入力信号 $a_1$ において他のSCF8bに対するクロック信号 $c_2$ からのクロストークに起因する凹部又は凸部21aの雑音が発生していない期間の信号値を取込む。同様に、SCF8bは入力信号 $a_2$ において他のSCF8aに対するクロック信号 $c_1$ からのクロストークに起因する凹部又は凸部21bの雑音が発生していない期間の信号値を取込む。

【0041】このように、各SCF8a、8bは自己に入力される入力信号 $a_1$ 、 $a_2$ における凹部又は凸部21a、21b等の雑音が発生していない期間の信号値を取込むことができる。したがって、各SCF8a、8bは常に正しい信号値を取込むことができるので、各SCF8a、8bから正しい信号値を有する出力信号 $b_1$ 、 $b_2$ が得られる。

【0042】このように、各SCF8a、8bに入力されるクロック信号 $c_1$ 、 $c_2$ 相互間の位相をクロック信号の立上り・立下り特性に基づいて設定される所定時間 $\Delta\tau$ だけずらせることによって、各出力信号 $b_1$ 、 $b_2$ のS/Nを大幅に向上でき、ダイナミックレンジを拡大でき、かつ常に正しい信号値が得られる安定したスイッチドキャパシタフィルタ装置を実現できる。

【0043】なお本発明は上述した実施形態に限定されるものではない。図1に示す実施形態においては、各SCF8a、8bに入力される各クロック信号 $c_1$ 、 $c_2$ の位相をずらせる手段として、図2に示すように、抵抗とコンデンサからなるアナログの遅延回路からなる2つの移相回路16a、16bを用いたが、例えば図5に示す一つのシフトレジスタ22を用いてもよい。

【0044】すなわち、このシフトレジスタ22は例えば4段からなり、1段目の出力端子Q1から一方のクロック信号 $c_{1A}$ を取出して一方のSCF8aへ印加し、最終段の出力端子Q4から他方のクロック信号 $c_{2B}$ を取出して他方のSCF8bへ印加する。そして、このシフトレジスタ22のデータ入力端子Dへクロック信号発生回路10から出力された周波数 $f$ のクロック信号 $c$ を印加する。また、このシフトレジスタ22のクロック端子CLKへ前記クロック信号 $c$ の周波数 $f$ の例えば20倍の周波数 $f_2$ を有したクロック信号 $c_0$ が印加される。

【0045】このようなシフトレジスタ22においては、クロック信号 $c_{1A}$ は元のクロック信号 $c$ に対して、0.05波長分遅延したクロック信号となり、クロック信号 $c_{2B}$ は元のクロック信号 $c$ に対して、0.2波長分遅延したクロック信号となる。なお、波形は元の波形から変化することはない。

【0046】よって、クロック信号 $c_{1A}$ とクロック信号

$c_{2B}$ との間には図6に示すように、0.15波長分のずれ時間 $\Delta\tau_1$ が存在する。このような構成のシフトレジスタ22においても、各SCF8a、8bには互いの位相がずれた各クロック信号 $c_{1A}$ 、 $c_{2B}$ が入力されるので、図1に示した先の実施形態とほぼ同様の効果を得ることができる。

【0047】また、各実施形態においては、それぞれ2つのSCF8a、8bでスイッチドキャパシタフィルタ装置を構成したが、組込むSCFの数は特に限定されるものではなく、より多数のSCFを組込むことが可能である。

【0048】

【発明の効果】以上説明したように本発明のスイッチドキャパシタフィルタ装置においては、各SCFに供給するクロック信号相互間の位相をクロック信号の立上り・立下り特性で定まる所定時間以上にずらしている。したがって、各SCFのスイッチ回路の各比較電圧や各入力信号の各波形に現れる凸部や凹部等の雑音の発生位置が互いずれるので、たとえ複数のSCFが組込まれ、かつ同一周波数のクロック信号を印加したとしても各出力信号のS/Nを大幅に向上でき、ダイナミックレンジを拡大でき、かつ常に正しい信号値が得られ、安定した特性を得ることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係わるスイッチドキャパシタフィルタ装置の概略構成を示すブロック図

【図2】 同スイッチドキャパシタフィルタ装置に組込まれた各移相回路を示す詳細ブロック図

【図3】 同各移相回路で移相された各クロック信号相互の位相関係とスイッチドキャパシタフィルタ(SCF)の動作タイミングを示す波形図

【図4】 同スイッチドキャパシタフィルタ装置全体の各動作タイミングを示す波形図

【図5】 本発明の他の実施形態に係わるスイッチドキャパシタフィルタ装置に組込まれたシフトレジスタを示す図

【図6】 同シフトレジスタで移相された各クロック信号相互の位相関係とSCFの動作タイミングを示す波形図

【図7】 一般的なパッシブフィルタを示すブロック図

【図8】 一般的なアクティブフィルタを示すブロック図

【図9】 一般的なスイッチドキャパシタフィルタを示すブロック図

【図10】 従来のスイッチドキャパシタフィルタ装置の概略構成を示すブロック図

【図11】 スwitchドキャパシタフィルタ(SCF)の動作タイミングとクロック信号との関係を示す波形図

【図12】 従来のスイッチドキャパシタフィルタ装置の問題点を説明するための波形図

【図13】 各スイッチドキャパシタフィルタ（SCF）の動作タイミングとクロック信号及び各比較電圧との関係を示す波形図

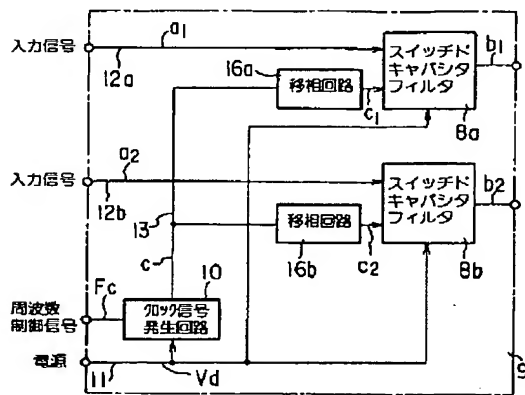
【図14】 各比較電圧値の変動に起因する従来のスイッチドキャパシタフィルタ装置の問題点を説明するための波形図

【図15】 クロック信号からのクロストークに起因して各入力信号に現れる各雑音を示す波形図

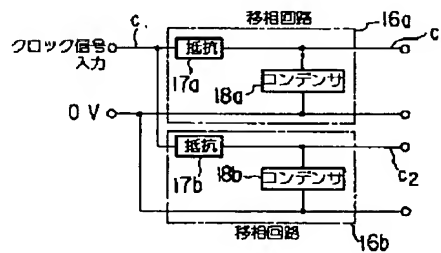
【符号の説明】

7a, 7b…スイッチ回路、6…リニアIC、8a, 8b…スイッチドキャパシタフィルタ（SCF）、9…基板、10…クロック信号発生回路、11, 12a, 12b, 13…信号配線、16a, 16b…移相回路、19a, 19b, 20a, 20b, 21a, 21b…凹部又は凸部、22…シフトレジスタ、a<sub>1</sub>, a<sub>2</sub>…入力信号、b<sub>1</sub>, b<sub>2</sub>…出力信号、c, c<sub>1</sub>, c<sub>2</sub>, c<sub>1A</sub>, c<sub>2B</sub>…クロック信号、V<sub>d</sub>…電源電圧、V<sub>c1</sub>, V<sub>c2</sub>…比較電圧、 $\Delta\tau$ …ずれ時間

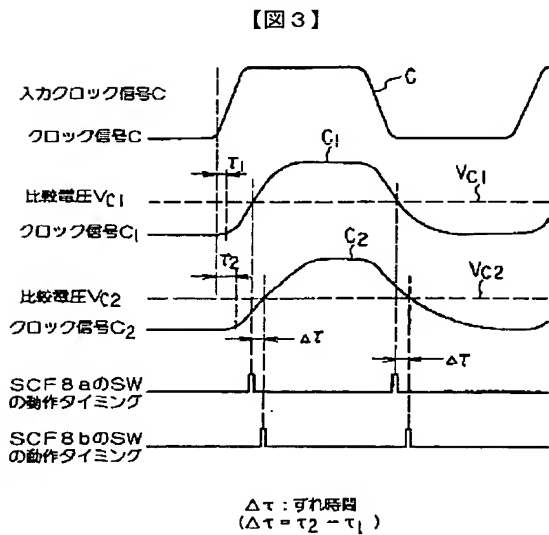
【図1】



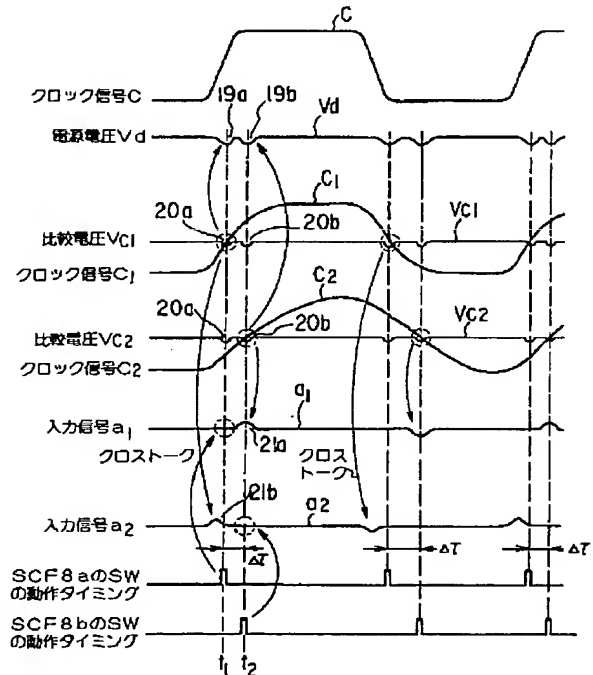
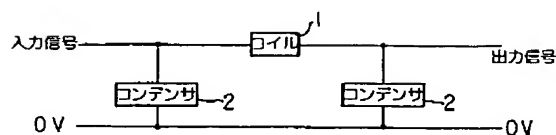
【図2】



【図3】

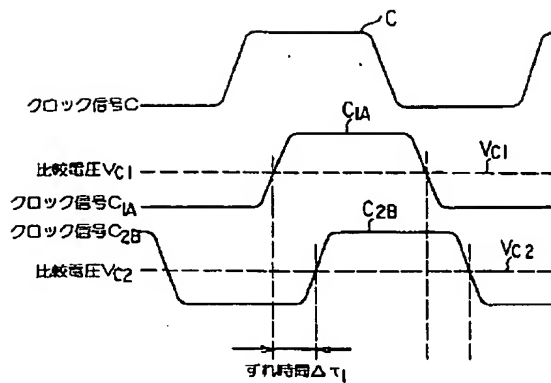


【図7】

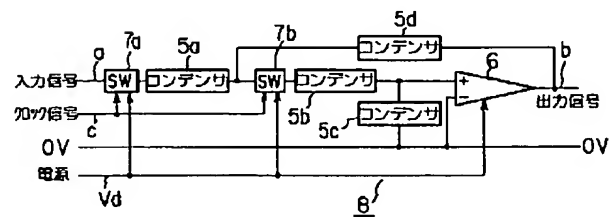
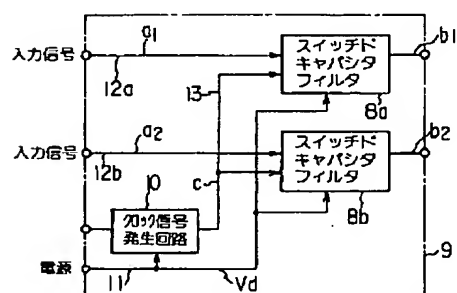




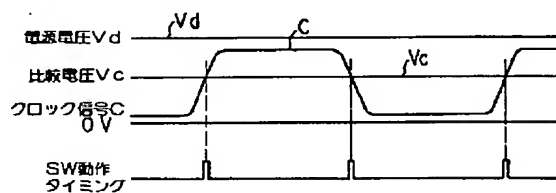
【图 6】



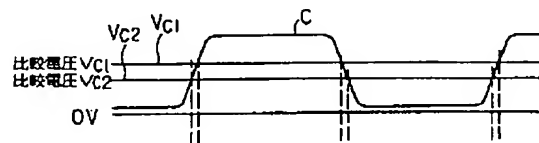
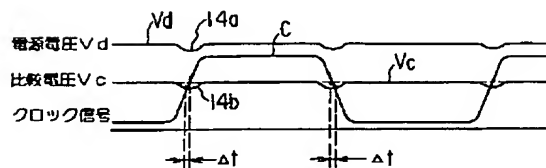
【圖 9】



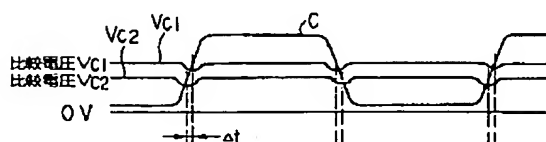
【圖 1 1】



【图 13】



【圖 14】



【図 15】

